

Print | Close

Patent Record View

Friday, October 9 2009

THOMSON INNOVATION

Patent/Publication: JP2001094542A FRAME SYNCHRONIZING CIRCUIT

Bibliography

DWPI Title

Frame synchronization circuit, has main count section whose synchronous position is reset upon receipt of the synchronous position of the sub-count section is input frame is judged to have 32 bits

Original Title

FRAME SYNCHRONIZING CIRCUIT

Assignee/Applicant

Standardized: FUJITSU LTD

Original: FUJITSU LTD

Inventor

KAWATAKA MIYUKI

Publication Date (Kind Code)

2001-04-06 (A)

Application Number / Date

JP1999266000A / 1999-09-20

Priority Number / Date / Country

JP1999266000A / 1999-09-20 / JP

Abstract

Abstract

PROBLEM TO BE SOLVED: To provide a frame synchronizing circuit which can detect an accurate synchronism position and shorten the time needed to establish synchronism.

SOLUTION: When a synchronous pattern detection part 110 detects a synchronous pattern included in multiple frames, a specific notice signal is sent to a main count part 130 and a subcount part 140. The main count part 130 performs synchronism pull-in operation according to a notice signal which is inputted first to enter a synchronous state. The subcount part 140 enters a synchronous state at a synchronism position different from that of the main count part 130 according to a notice signal which is inputted next. A CRC error detection part 170 detects an error based upon a CRC bit in a frame and when a successive CRC error decision part, 180 decides that ≥ 32 multiple frames have errors, the synchronism position of the subcount part 130 is taken in the main count part 130 to re-set the synchronism position of the main count part 130.

COPYRIGHT: (C)2001, JPO&Japio

Classes/Indexing

IPC

IPC Code(1-7) H04L 7/08

(7)

Current IPC-R	Invention	Version	Additional	Version
Advanced	H04L 7/08	20060101	-	-
	H04J 3/06	20060101		
	H04L 7/00	20060101		
	H04L 7/04	20060101		
Core	H04L 7/08	20060101	-	-
	H04J 3/06	20060101		
	H04L 7/00	20060101		
	H04L 7/04	20060101		

Subclass	-	-	-	-
----------	---	---	---	---

ECLA



H04J000306A1A H04L000704C

DWPI Manual Codes Expand DWPI Manual Codes**Legal Status****INPADOC Legal Status**

Get Family Legal Status

Family**Family** Expand INPADOC Family (3)**Claims**

No Claims exist for this Record

Description**Drawing Description** Expand Drawing Description**Description** Expand Description**Citations****Citation**

Citing Patents (0)

 Expand Cited Patents (5)

Cited Non-patents (0)

Other

No Other exists for this Record

Copyright 2007-2009 THOMSON REUTERS

(11) 特許出願公開番号

特開2001-94542

(P2001-94542A)

(43) 公開日 平成13年4月6日(2001.4.6)

(51) Int.Cl.⁷
H04L 7/08

識別記号

F I
HO 4 L 7/08

5K047

審査請求 未請求 請求項の数10 OL (全 13 頁)

(21)出願番号 特願平11-266000

(22) 出願日 平成11年9月20日(1999.9.20)

(71) 出題人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 川高 美由紀

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100108187

一 山 嶺 土 理 丹

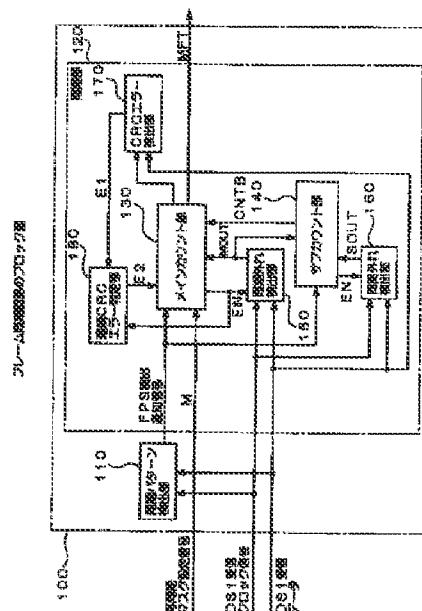
Fターム(参考) 5K047 AA02 AA03 HH01 HH11 HH12
HH21 HH43 HH57

(54) 【発明の名称】 フレーム同期回路

(57) 【要約】

【課題】 正確な同期位置を検出することができ、同期を確立するまでに要する時間を短くすることができるフレーム同期回路を提供する。

【解決手段】 同期パターン検出部110によってマルチフレームに含まれる同期パターンが検出されると所定の通知信号がメインカウント部130とサブカウント部140に送られる。メインカウント部130は、最初に入力される通知信号に応じて同期の引き込み動作を行って同期状態に移行する。また、サブカウント部140は、次に入力される通知信号に応じてメインカウント部130とは異なる同期位置で同期状態に移行する。CRCエラー検出部170でフレーム内のCRCビットに基づくエラーを検出し、これが32個以上のマルチフレームについて連続していることが連続CRCエラー判定部180によって判定されると、サブカウント部130の同期位置がメインカウント部130に取り込まれて、メインカウント部130の同期位置が再設定される。



【特許請求の範囲】

【請求項1】 入力されるフレームに含まれる所定の同期パターンを検出する同期パターン検出手段と、前記同期パターン検出手段によって前記同期パターンが検出された位置に対応して同期引き込み動作を行う第1のフレーム同期手段と、

前記同期パターン検出手段によって前記同期パターンが検出された前記位置より後に検出された位置に対応して同期引き込み動作を行う第2のフレーム同期手段と、前記第1のフレーム同期手段によって引き込まれた同期位置が誤りであることを検出する第1の同期誤り検出手段と、

を備え、前記第1の同期誤り検出手段によって同期位置の誤りが検出されたときに、前記第2のフレーム同期手段によって引き込まれた同期位置を前記第1のフレーム同期手段における同期位置として取り込むことを特徴とするフレーム同期回路。

【請求項2】 前記第2のフレーム同期手段は、前記第1のフレーム同期手段による同期位置と異なる検出位置に対応した引き込み動作を行うことを特徴とする請求項1記載のフレーム同期回路。

【請求項3】 前記第2のフレーム同期手段によって引き込まれた同期位置が誤りであることを検出する第2の同期誤り検出手段を備え、

前記第2の同期誤り検出手段によって同期位置の誤りが検出されたときに、前記第2のフレーム同期手段は、前記同期パターンの他の検出位置に対応した引き込み動作を行うことを特徴とする請求項1または2に記載のフレーム同期回路。

【請求項4】 入力されるフレームに含まれる所定の同期パターンを検出する同期パターン検出手段と、前記同期パターン検出手段によって検出された前記同期パターンの出現順にしたがった複数の出現位置のそれぞれに対応した引き込み動作を行う第1、第2、…、第nまでのn個のフレーム同期手段と、前記第1のフレーム同期手段によって引き込まれた同期位置が誤りであることを検出する第1の同期検出手段と、

を備え、前記第1の同期誤り検出手段によって同期位置の誤りが検出されたときに、前記第2のフレーム同期手段によって引き込まれた同期位置を前記第1のフレーム同期手段における同期位置として取り込むことを特徴とするフレーム同期回路。

【請求項5】 第iの前記フレーム同期手段は、第1から第i-1までの前記フレーム同期手段に対応する同期位置と異なる出現位置に対応した引き込み動作を行うことを特徴とする請求項4記載のフレーム同期回路。

【請求項6】 第1の前記フレーム同期手段によって引き込まれた同期位置が誤りであることを検出する第2の同期誤り検出手段を備え、

前記第2の同期誤り検出手段によって同期位置の誤りが検出されたときに、第iの前記フレーム同期手段は、前記同期パターンの他の検出位置に対応した次の引き込み動作を行うことを特徴とする請求項4または5に記載のフレーム同期回路。

【請求項7】 前記第1の同期誤り検出手段は、前記フレームに含まれる前記同期パターン以外の情報に基づいて同期位置の誤りを検出することを特徴とする請求項1～6のいずれかに記載のフレーム同期回路。

【請求項8】 前記フレームにはCRC符号が含まれており、

前記第1の同期誤り検出手段は、前記CRC符号を用いて判定したフレームのエラーが所定期間継続しているときに、同期位置の誤りを検出することを特徴とする請求項7記載のフレーム同期回路。

【請求項9】 所定のマスク設定を行うことにより、前記第1のフレーム同期手段によって前記第2のフレーム同期手段における同期位置を取り込む動作を選択的に無効にすることを特徴とする請求項1～8に記載のフレーム同期回路。

【請求項10】 前記第1のフレーム同期手段によって引き込まれた同期位置が誤りであることを、受信した前記フレームに含まれる前記同期パターン内のビットエラーに基づいて検出する第3の同期誤り検出手段を備えることを特徴とする請求項1～9のいずれかに記載のフレーム同期回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フレームに含まれる所定の同期パターンを検出してフレーム同期を確立するフレーム同期回路に関する。

【0002】

【従来の技術】従来から、デジタルデータをフレーム伝送しようとした場合に、フレーム内の所定位置に同期パターンを含ませておいて、受信側でこれを検出してフレーム同期を確立する手法が汎用されている。例えば、特開平6-164572号公報、特開平5-37515号公報、特開昭63-236434号公報等には、主同期回路と副同期回路とを組み合わせた各種のフレーム同期回路が開示されている。

【0003】これらの公報で示されるように、主同期回路の他に副同期回路を備えることにより、主同期回路が疑似同期状態になった場合であっても、副同期回路によって他の同期状態を確立することができる。

【0004】

【発明が解決しようとする課題】ところで、特開平5-37515号公報に開示されたフレーム同期回路は、主同期回路と副同期回路のそれぞれにおいて検出された誤りの数を比較した後に、判定回路によって同期回路の疑似同期状態を判定し、その後副同期回路の同期位置を主

同期回路の同期位置として設定している。このように、多くの手順を経ているため、再度同期が確立するまでに要する時間が長くなるという問題があった。

【0005】また、特開昭63-236434号公報に開示された同期回路は、主同期回路では前方保護しか行っていないため、無保護の同期位置の引き込みを行うことになる。したがって、この主同期回路によって確立された同期状態が外れた後に、後方保護機能を有する副同期回路による正確な同期位置の検出がなされる場合も多く、結局確実に同期を確立するまでに要する時間が長くなるという問題があった。

【0006】また、上述した2つの公報に開示されたフレーム同期回路では、フレーム内に同期パターンと同じパターン(疑似同期パターン)が周期的に含まれていると、この疑似同期パターンに基づいて同期位置が設定され、その後正確な同期位置に復帰できなくなってしまう。このような不都合に対して、上述した特開平6-164572号公報に開示されたフレーム同期回路においては、CRC符号による誤り検出を行うことで対策をとっている。ところが、この公報に開示されたフレーム同期回路に含まれる副同期回路は、主同期回路が同期外れになったときに次の同期位置の引き込み動作を開始するため、同期が外れてから再び同期を確立するまでに時間がかかるという問題があった。

【0007】本発明は、このような点に鑑みて創作されたものであり、その目的は、正確な同期位置を検出することができ、同期を確立するまでに要する時間を短くすることができるフレーム同期回路を提供することにある。

【0008】

【課題を解決するための手段】図1は、本発明の原理ブロック図である。上述した課題を解決するために、請求項1のフレーム同期回路は、入力されるフレームに含まれる所定の同期パターンを検出する同期パターン検出手段と、前記同期パターン検出手段によって前記同期パターンが検出された位置に対応して同期引き込み動作を行う第1のフレーム同期手段と、前記同期パターン検出手段によって前記同期パターンが検出された前記位置より後に検出された位置に対応して同期引き込み動作を行う第2のフレーム同期手段と、前記第1のフレーム同期手段によって引き込まれた同期位置が誤りであることを検出する第1の同期誤り検出手段とを備え、前記第1の同期誤り検出手段によって同期位置の誤りが検出されたときに、前記第2のフレーム同期手段によって引き込まれた同期位置を前記第1のフレーム同期手段における同期位置として取り込むことを特徴としている。

【0009】フレームの複数箇所同期パターンが検出される場合に、最初に検出された同期パターンの検出位置に基づいて第1のフレーム同期手段によって同期引き込みを行う動作と、次に検出された同期パターンの検出

位置に基づいて第2のフレーム同期手段によって同期引き込みを行う動作とを並行して行っており、第1のフレーム同期手段によって引き込まれた同期位置が誤りであった場合には、第2のフレーム同期手段によって引き込まれた同期位置がそのまま取り込まれて新たな同期位置として用いられる。したがって、同期位置の誤りが検出されて再度新たな同期位置が設定されるまでの時間を短縮することができる。

【0010】また、請求項2のフレーム同期回路は、請求項1のフレーム同期回路において、前記第2のフレーム同期手段は、前記第1のフレーム同期手段による同期位置と異なる検出位置に対応した引き込み動作を行うことを特徴としている。第1および第2のフレーム同期手段によるそれぞれの同期位置が一致する場合に、第2のフレーム同期手段の同期位置をずらすようにしているため、複雑な制御を行うことなく、確実に異なるタイミングで同期引き込みを行うことができる。

【0011】また、請求項3のフレーム同期回路は、請求項1または2のフレーム同期回路において、前記第2のフレーム同期手段によって引き込まれた同期位置が誤りであることを検出する第2の同期誤り検出手段を備え、前記第2の同期誤り検出手段によって同期位置の誤りが検出されたときに、前記第2のフレーム同期手段は、前記同期パターンの他の検出位置に対応した引き込み動作を行うことを特徴としている。第2のフレーム同期手段による同期位置が誤りであることが分かったときに、次の候補となる同期位置を探しておくことにより、第1のフレーム同期手段によって引き込まれた同期位置が誤りであった場合に、次に取り込まれる同期位置も誤りである確率が減るため、最終的に同期を確立するまでの時間を短縮することができる。

【0012】また、請求項4のフレーム同期回路は、入力されるフレームに含まれる所定の同期パターンを検出する同期パターン検出手段と、前記同期パターン検出手段によって検出された前記同期パターンの出現順にしたがった複数の出現位置のそれぞれに対応した引き込み動作を行う第1、第2、…、第nまでのn個のフレーム同期手段と、前記第1のフレーム同期手段によって引き込まれた同期位置が誤りであることを検出する第1の同期検出手段とを備え、前記第1の同期誤り検出手段によって同期位置の誤りが検出されたときに、前記第2のフレーム同期手段によって引き込まれた同期位置を前記第1のフレーム同期手段における同期位置として取り込むことを特徴としている。

【0013】フレームの複数箇所同期パターンが検出される場合に、n個のフレーム同期手段によってそれぞれの検出位置に基づいて同期引き込みを行うことにより、第1のフレーム同期手段によって引き込んだ同期位置が誤りであった場合に、これに代えて取り込む同期位置の候補を増やすことができるため、最終的に同期を確

立するまでに要する時間を短縮することができる。

【0014】また、請求項5のフレーム同期回路は、請求項4のフレーム同期回路において、第1の前記フレーム同期手段は、第1から第1-1までの前記フレーム同期手段に対応する同期位置と異なる出現位置に対応した引き込み動作を行うことを特徴としている。i番目のフレーム同期手段の同期位置がi-1番目までのフレーム同期手段までの同期位置と一致しないように設定されるため、複雑な制御を行うことなく、それぞれのフレーム同期手段において確実に異なるタイミングで同期引き込みを行うことができる。

【0015】また、請求項6のフレーム同期回路は、請求項4または5のフレーム同期回路において、前記第1のフレーム同期手段によって引き込まれた同期位置が誤りであることを検出する第2の同期誤り検出手段を備え、前記第2の同期誤り検出手段によって同期位置の誤りが検出されたときに、前記第1のフレーム同期手段は、前記同期パターンの中の検出位置に対応した次の引き込み動作を行うことを特徴としている。2番目以降のフレーム同期手段による同期位置が誤りであることが分かったときに、それぞれにおいて次の候補となる同期位置を探しておくことにより、第1のフレーム同期手段によって引き込まれた同期位置が誤りであった場合に、次に取り込まれる同期位置も誤りである確率が減るため、最終的に同期を確立するまでの時間を短縮することができる。

【0016】また、請求項7のフレーム同期回路は、請求項1-6のいずれかのフレーム同期回路において、前記第1の同期誤り検出手段は、前記フレームに含まれる前記同期パターン以外の情報に基づいて同期位置の誤りを検出することを特徴としている。同期パターン以外の情報に基づいて同期位置の誤りを検出することにより、同期パターンと同じパターンがフレーム中に現れるような場合の同期位置の誤りを正確に検出することができる。

【0017】また、請求項8のフレーム同期回路は、請求項7のフレーム同期回路において、前記第1の同期誤り検出手段は、前記CRC符号を用いて判定したフレームのエラーが所定期間継続しているときに、同期位置の誤りを検出することを特徴としている。同期位置の誤りを検出するために用いる同期パターン以外の情報としてCRC符号を用いることにより、少ない情報量で正確に同期位置の誤りを検出することができる。

【0018】また、請求項9のフレーム同期回路は、請求項1-8のいずれかのフレーム同期回路において、所定のマスク設定を行うことにより、前記第1のフレーム同期手段によって前記第2のフレーム同期手段における同期位置を取り込む動作を選択的に無効にすることを特徴としている。通信サービスの内容によっては、フレーム内に同期パターンと同じパターンが現れないようにデ

ータの配列等を工夫している場合もあり、この場合には同期パターンのみを監視することにより、正確に同期位置の誤りを検出することができるため、同期パターン以外の情報に基づいて誤って同期位置を変更してしまう不都合を回避することができる。

【0019】また、請求項10のフレーム同期回路は、請求項1-9のいずれかのフレーム同期回路において、前記第1のフレーム同期手段によって引き込まれた同期位置が誤りであることを、受信した前記フレームに含まれる前記同期パターン内のビットエラーに基づいて検出する第3の同期誤り検出手段を備えることを特徴としている。第1のフレーム同期手段によって引き込まれた同期位置が明らかに誤りであることを、同期パターンのビットエラーを監視するという簡単な方法で検出することにより、次の同期位置の候補に対する同期引き込み動作に迅速に移行することができるため、正確な同期位置を設定するまでに要する時間を短縮することができる。

【0020】

【発明の実施の形態】以下、本発明を適用した一実施形態のフレーム同期回路について、図面を参照しながら説明する。図2は、一実施形態のフレーム同期回路のブロック図である。図2に示すフレーム同期回路100は、同期パターン検出部110および同期部120によって構成されている。また、同期部120は、メインカウンタ部130、サブカウンタ部140、2つの同期外れ検出部150、160、CRCエラー検出部170、連続CRCエラー判定部180を含んで構成されている。このフレーム同期回路100は、例えば北米仕様の一次群のDS1信号から抽出したDS1受信データとDS1受信クロック信号とが入力されており、このDS1受信データに含まれる所定の同期パターンを検出することによりフレーム同期を確立する。

【0021】図3は、図2に示したフレーム同期回路100を備えた各種の装置が含まれる通信システムの一例を示す構成図である。例えば、北米仕様の一次群の信号を伝送するDS1網を用いたシステム構成の一例が示されている。図3において、DS1網900には、DS1端末TE1、TE2が接続されており、これらの端末TE1、TE2間で所定のフォーマットを有するフレームを用いたデータの送受信が行われる。また、このDS1網900は、他のDS1網910やそれ以外の網920等に接続されており、これらの網間でデータが転送されるようになっている。このようなDS1網900を介した通信システムでは、DS1端末TE1、TE2間、あるいはDS1端末TE1、TE2とDS1網900との間で送受信される24個のフレーム（1マルチフレーム）を単位として所定の同期パターンが含まれており、フレームを受信しようとするDS1端末TE1、TE2やDS1網900内に備わったフレーム同期回路100では、このマルチフレームに含まれる同期パターンを例

えば2つ連続して検出したときに同期を確立するように取り込み動作を開始する。

【0022】図4は、DS1マルチフレームの構成を示す図である。193ビットからなるフレームが24個集まって1つのDS1マルチフレームが構成されている。また、各フレームの先頭には、1ビットのF (Frame) ビットが含まれており、第3、第7、第11、第15、第19、第23フレームの6個のFビットが集まって、所定の同期パターンが構成される。これら6個のFビットのそれぞれは、FPS (Framing Pattern Sequence) ビットと称されており、これら6個のFPSビットが集まって、同期パターンとしてのFPSパターンが形成される。具体的には、“001011”がこのFPSパター

ンとして設定されている。
【0023】また、第1、第5、第9、第13、第17、第21フレームの6個のFビットが集まって、所定のCRC (Cyclic Redundancy Check) 6ビットが構成される。受信したDS1マルチフレームに基づいてCRC符号の値を計算し、これがCRC6ビットの内容と一致するか否かを調べることで、このDS1マルチフレームの伝送エラーの有無を検出することができる。また、誤った同期位置で同期を確立した場合にはこのCRC6ビットに基づいてフレームデータに誤りがあることが検出されることになるため、本実施形態ではこのCRCエラーの状態が長期間にわたって継続される場合には、既に確立された同期状態が誤りであるものと判定している。

【0024】次に、図2に示したフレーム同期回路100の詳細な構成について説明する。図2に示した同期パターン検出部110は、受信したDS1信号の中から2回の連続したFPSパターンを検出する。上述したように、DS1マルチフレームは24フレームで構成され、FPSパターンを構成する各FPSビットはフレーム番号3、7、11、15、19、23のFビットに対応している。したがって、2つの連続したFPSパターンを検出するということは、受信したDS1信号の中から、772ビット周期で抽出した12ビットがFPSパターンの2回連続した内容 (“001011001011”) に一致することを監視すればよい。同期パターン検出部110は、この一致状態を検出したときに、パルス状のFPS検出通知信号を出力する。以後、連続的に入力されるDS1マルチフレームに含まれるFPSパターンが正しい場合には、マルチフレームの入力間隔と同じ間隔でFPS検出通知信号が出力されることになる。
【0025】また、同期パターン検出部110は、最初に2回連続したFPSパターンを検出した後に、他のビット位置で他に2回連続したFPSパターンを検出した場合にも、FPS検出通知信号を出力する。したがって、この場合には、1マルチフレームの入力周期T以内に、2あるいは3以上のFPS検出通知信号が発生す

る。

【0026】図5は、複数のFPS検出通知信号が出力される場合の信号の出力タイミングを示す図である。同期パターン検出部110は、2回の正しいFPSパターンを検出すると、それ以後DS1マルチフレームの入力間隔と同じ周期Tで第1のFPS検出通知信号aを出力する。また、同期パターン検出部110は、このマルチフレームの他のビット位置に正しい他のFPSパターンが1あるいは複数 (図5では他に正しい2つのFPSパターンが存在している) 存在する場合には、このビット位置に対応した第2、第3のFPS検出通知信号b、cを出力する。

【0027】同期部120は、同期パターン検出部110から出力されるFPS検出通知信号に基づいてDS1信号の同期を確立するためのものである。最初に入力されるFPS検出通知信号に応じてメイン同期を確立するためにメインカウント部130が、これとは異なるタイミングでサブ同期を確立するためにサブカウント部140が用いられる。

【0028】メインカウント部130は、同期パターン検出部110から最初のFPS検出通知信号aが出力されたときに、1マルチフレームを構成する4632ビットに対応する計数動作を開始し、1マルチフレームに1回の割合でマルチフレーム・タイミング信号MFTを生成する。このマルチフレーム・タイミング信号MFTがフレーム同期回路100から出力される同期信号となる。また、同期外れ検出部150、CRCエラー検出部170、連続CRCエラー判定部180のそれぞれは、このメインカウント部130によって設定された同期位置を基準にして各種の動作を行う。

【0029】同期外れ検出部160は、メインカウント部130によって設定された同期位置に対応したマルチフレームに含まれるFPSパターンの中から連続した4ビットを抽出し、この中に2ビットの誤りが含まれる場合には、同期外れの発生として検出する。この連続する4ビットは、必ずしも1つのマルチフレーム内から抽出する必要はなく、2つのマルチフレームにまたがるように抽出してもよい。

【0030】CRCエラー検出部170は、入力されるそれぞれのマルチフレームに含まれるCRC6ビットデータを抽出するとともに、この抽出されたCRC6ビットデータに基づいて、マルチフレームを構成する各ビットデータのエラーを検出する。このエラーを検出すると、CRCエラー検出部170は、連続CRCエラー判定部180に向けてCRCエラー通知信号E1を出力する。

【0031】連続CRCエラー判定部180は、CRCエラー検出部170から入力されるCRCエラー通知信号E1の有無および入力期間を監視しており、32個のマルチフレームに対応する期間において連続的にCRC

エラー通知信号E1が出力されているときに、再同期設定を指示する再同期指示信号E2をメインカウント部130に送る。上述した同期外れ検出部150では、例えば同期パターンの4ビット中の2ビットがエラーのときに同期外れとして検出しているが、このような単純な検出処理では、周期的な特定のビットパターンを誤ってFPSパターンとして検出してしまい、誤った位置で同期が確立してしまったにもかかわらず、その状態が長期間継続する場合も考えられる。このような場合に、連続CRCエラー判定部180による判定結果に基づいて同期外れ状態が検出される。

【0032】また、サブカウント部140は、同期パターン検出部110から2番目のFPS検出通知信号(図5における信号b)が出力されたときに、1マルチフレームを構成する4632ビットに対応する計数動作を開始する。したがって、サブカウント部140はメインカウント部130とは異なるタイミングで動作し、同期外れ検出部160は、このサブカウント部140によって設定された同期位置を基準として動作する。

【0033】例えば、同期外れ検出部150は、サブカウント部140によって設定された同期位置に対応したマルチフレームに含まれるFPSパターンの中から連続した4ビットを抽出し、この中の2ビットに誤りが含まれる場合に、同期外れの発生を検出する。メインカウント部130に対応した同期外れ検出部150と同様に、この連続する4ビットは、必ずしも1つのマルチフレーム内から抽出する必要はなく、2つのマルチフレームにまたがるように抽出してもよい。

【0034】上述した同期パターン検出部110が同期パターン検出手段に、メインカウント部130が第1のフレーム同期手段に、サブカウント部140が第2のフレーム同期手段に、CRCエラー検出部170、連続CRCエラー判定部180が第1の同期誤り検出手段に、同期外れ検出部160が第2の同期誤り検出手段に、同期外れ検出部150が第3の同期誤り検出手段にそれぞれ対応する。

【0035】本実施形態のフレーム同期回路100はこのような構成を有しており、次にその動作を説明する。

【0036】図6は、メインカウント部130に対応した同期の状態遷移図である。メインカウント部130は、初期状態においては同期外れの状態にある。この状態において、同期パターン検出部110から出力されるFPS検出通知信号を受信すると、メインカウント部130は、同期タイミングの引き込みを行って同期状態に移行する。このとき、イネーブル信号ENがメインカウント部130から同期外れ検出部150および連続CRCエラー判定部180に送られ、それぞれにおいて同期外れの検出動作が開始される。

【0037】同期状態から同期外れ状態への移行は、同期外れ検出部150によって同期外れが検出されたとき

に行われる。同期外れが検出されると、同期外れ検出部150からメインカウント部130に向けて同期外れ検出信号(MOUT)が出力され、この信号を受信したメインカウント部130は、同期パターン検出部110から出力されたFPS検出通知信号に対応して行っていた計数動作を中止する。したがって、マルチフレーム・タイミング信号MFTの出力が停止され、以後同期外れの状態になる。

【0038】また、連続CRCエラー判定部180によって連続したCRCエラーが検出された場合には、CRCエラーが検出されなかった場合と同様に、結果的には同期状態が維持されるが、サブカウント部140が同期状態にあるか同期外れ状態にあるかによって同期状態の内容については違いがある。

【0039】図7は、連続CRCエラー判定部180による判定結果に関連するメインカウント部130の同期状態の維持動作を示す流れ図である。同期状態に移行したメインカウント部130は、連続CRCエラー判定部180によって連続したCRCエラーが検出されたか否かを判定する(ステップ100)。連続CRCエラー判定部180によって連続したCRCエラーが検出されない場合には、このステップ100の判定動作が繰り返される。また、連続CRCエラー判定部180によって連続したCRCエラーが検出されて再同期指示信号E2が出力されると、次にメインカウント部130は、サブカウント部140が同期状態にあるか否かを判定する(ステップ101)。サブカウント部140が同期状態にある場合には、メインカウント部130は、サブカウント部140のカウント141の計数値を取り込んで、新たな同期状態を確立する(ステップ102)。一方、サブカウント部140が同期外れ状態にある場合には、それまでの同期状態が維持される。

【0040】なお、上述したサブカウント部140の同期位置をメインカウント部130に取り込む動作モード(この動作モードを「再同期モード」と称する)を有効にするか無効にするかは、外部から設定することができる。例えば、メインカウント部130に入力される再同期マスク設定信号Mをローレベルの状態に維持すると、以後のメインカウント部130による再同期モードの動作が無効になる。

【0041】図8は、サブカウント部140に対応した同期の状態遷移図である。サブカウント部140は、初期状態においては同期外れの状態にある。この状態において、メインカウント部130が同期状態にあり、かつ、同期パターン検出部110から出力されるFPS検出通知信号を受信すると、サブカウント部140は、同期引き込みを行ってメインカウント部130によって確立された同期位置とは異なるサブ同期状態に移行する。このとき、イネーブル信号ENがサブカウント部140から同期外れ検出部160に送られて、同期外れの検出

動作が開始される。

【0042】また、同期外れ検出部160によって同期外れが検出されると、同期外れ検出部160からサブカウント部140に向けて同期外れ検出信号(SOUT)が出力され、この信号を受信したサブカウント部140は、同期パターン検出部110から出力されたFPS検出通知信号に応じて開始した計数動作を中止して、サブ同期状態から同期外れ状態に移行する。

【0043】また、上述したように、メインカウント部130によって設定された同期位置に対応する32個のマルチフレームについて連続CRCエラー判定部180によって連続的なCRCエラーの発生を検出すると、サブカウント部140の同期位置がメインカウント部130に取り込まれるため、このときもサブカウント部140は同期状態から同期外れ状態に移行する。例えば、図5に示した例において、FPS検出通知信号aに応じてメインカウント部130が同期状態にあり、2番目のFPS検出通知信号bに応じてサブカウント部140が同期状態にある場合を考えるものとする。このとき、連続CRCエラー判定部180によって連続的なCRCエラーを検出すると、サブカウント部140の同期位置がメインカウント部130に取り込まれて、サブカウント部140が同期外れ状態に移行する。そして、次に3番目のFPS検出通知信号cが入力されたときに、サブカウント部140は、このFPS検出通知信号cの入力タイミングに応じた同期位置で再度同期状態に移行する。

【0044】次に、上述したメインカウント部130とサブカウント部140の詳細構成を説明する。図9は、メインカウント部130の詳細構成図であり、併せて他の一部の構成との接続状態が示されている。図9に示すように、メインカウント部130は、カウンタ131、デコーダ132、2つのアンドゲート133、138、2つのフリップフロップ(FF)134、135、チェックカウンタ136、バッファ137を含んで構成されている。

【0045】カウンタ131は、メインカウント部130に入力されるメインリセット信号MRSTによって計数動作がリセットされ、計数の初期値「0」がセットされる。また、チェックカウンタ136の計数値が「1」になったときに、DS1受信クロック信号に同期した計数動作を、計数値「0」～「4631」の範囲で巡回的に行う。デコーダ132は、カウンタ131のmビット(「4631」までを表現するためには少なくとも13ビットが必要)の平行出力が入力されており、mビットのそれぞれが特定の値となったことを契機として、出力がハイレベルになり、特定の値ではなくなったときに、出力がローレベルになる。例えば、カウンタ131の計数値が「0」だったときに出力がハイレベルになり、それ以外の値であったときにローレベルになるように設定されている。

【0046】アンドゲート133は、2つの入力端子のそれぞれに入力される2つの信号の論理積を演算する。一方の入力端子には、デコーダ132から出力される信号が入力されており、他方の入力端子には、入力されるFPS信号をフリップフロップ134を介して受信クロック信号の1周期分だけ遅延させた信号が入力されている。カウンタ131は、FPS検出通知信号が入力されてから「0」を初期値とした計数動作を開始して(実際には、FPS検出通知信号が入力されてからチェックカウンタ136の計数値が「1」になるため、間接的にカウンタ131の計数動作が開始する)、計数値が「0」だったときに次のクロックでデコーダ132から出力される信号の論理が「1」となる。このため、FPS検出通知信号をDS1受信クロック信号の1周期分だけ遅延させてフリップフロップ134から取り出すタイミングは、デコード132の出力が「1」となるタイミングと一致するため、このタイミングに合わせてアンドゲート133からは論理が「1」の信号が出力される。この信号がフリップフロップ135を介してマルチフレーム・タイミング信号MFTとして取り出される。

【0047】チェックカウンタ136は、メインカウント部130にメインリセット信号MRSTが入力されたときにリセットされ計数の初期値が「0」にセットされて、計数動作を開始する。例えば、1ビットカウンタによって構成されており、最初のFPS検出通知信号が入力されると計数値が「0」から「1」に変化し、その後は再度リセットされるまで、この計数値「1」が保持される。この計数値は、カウンタ131の計数動作を有効にするイネーブル信号としても用いられており、チェックカウンタ136の計数値が「1」になることを条件に、カウンタ131による計数動作が開始されるようになっている。バッファ137は、サブカウント部140内のカウンタ141の計数値をメインカウント部130内のカウンタ131に取り込むためのものである。

【0048】また、アンドゲート138は、再同期マスク設定信号Mが入力されていないときには一方の入力端子の論理が「1」に設定されており、連続CRCエラー判定部180から他方の入力端子に再同期指示信号E2が入力されたときにこれをカウンタ131に送る。反対に、再同期マスク設定信号が入力されると、一方の入力端子の論理が「0」になって、連続CRCエラー判定部180から他方の入力端子に再同期指示信号E2が入力されてもこれをカウンタ131には送らずにマスクする。

【0049】図10は、サブカウント部140の詳細構成図であり、併せて他の一部の構成との接続状態が示されている。図10に示すように、サブカウント部140は、カウンタ141、デコーダ142、アンドゲート143、フリップフロップ(FF)144、クリア信号生成部145を含んで構成されている。

【0050】カウンタ141は、サブカウント部140に入力されるサブリセット信号SRSTによって計数動作がリセットされ、計数の初期値が「1」にセットされる。また、メインカウント部130内のチェックカウンタ136の計数値が「1」になったときに、DS1受信クロック信号に同期した計数動作を、計数値「1」〜「4632」の範囲で巡回的に行う。デコード142は、カウンタ141のmビットの平行出力が入力されており、mビットのそれぞれが特定の値となったことを契機として、出力がハイレベルになり、特定の値ではなくなったときに出力がローレベルになる。例えば、カウンタ141の計数値が「1」だったときに出力がハイレベルになり、それ以外の値だったときにはローレベルになるように設定されている。

【0051】アンドゲート143は、2つの入力端子のそれぞれに入力される2つの信号の論理積を演算する。一方の入力端子には、デコード142から出力される信号が入力されており、他方の入力端子には、入力されるFPS信号をフリップフロップ144を介して受信クロック信号の1周期分だけ遅延させた信号が入力されている。カウンタ141は、FPS検出通知信号が入力されてから「1」を初期値とした計数動作を開始して（実際には、FPS検出通知信号が入力されてからチェックカウンタ136の計数値が「1」になるため、間接的にカウンタ141の計数動作が開始する）、計数値が「1」だったときに次のクロックでデコード142から出力される信号の論理が「1」となる。このため、FPS検出通知信号をDS1受信クロック信号の1周期分だけ遅延させてフリップフロップ144から取り出すタイミングは、デコード142の出力が「1」となるタイミングと一致するため、このタイミングに合わせてアンドゲート143からは論理が「1」の信号が出力される。この信号がサブカウント・タイミング信号SCTとしてサブカウント部140から出力される。このサブカウント・タイミング信号SCTは、サブカウント部140が同期状態にあるか否かを監視する際のモニタ用出力として用いることができる。

【0052】また、クリア信号生成部145は、カウンタ141の計数値とメインカウント部130内のアンドゲート133の出力値G1が入力されており、これら2つの入力値が所定の関係にあるときに、カウンタ141をリセットする信号を出力する。具体的には、最初に入力されたFPS検出通知信号aに対応してメインカウント部130内のアンドゲート133から論理が「1」の信号が出力されたときに、カウンタ141の計数値が「2」であった場合に、クリア信号生成部145によってカウンタ141がリセットされる。メインカウント部130内のカウンタ131は、初期値を「0」として計数動作を行っており、計数値が「1」のときにアンドゲート133から論理「1」の信号が出力されるようにな

っている。これに対し、サブカウント部140内のカウンタ141は、初期値を「1」として計数動作を行っているため、このカウンタ141の計数値が「2」のときにメインカウント部130内のアンドゲート133から論理「1」の信号が出力されるということは、メインカウント部130とサブカウント部140の両方が同じFPS検出通知信号aに対応した同期の引き込み動作を行っているということであり、このときにサブカウント部140内のカウンタ141をリセットして、次に入力されるFPS検出通知信号bに対応した同期の引き込み動作を行わせるようになっている。

【0053】次に、上述したメインカウント部130とサブカウント部140の詳細動作を説明する。図11は、メインカウント部130の各構成部の動作タイミング図である。また、図12はサブカウント部140の各構成部の動作タイミング図である。なお、図11および図12のそれぞれに示される「MRST」等の信号名は、図9および図10において示した各構成部の入出力信号名に対応している。

【0054】メインカウント部130に入力されているメインリセット信号MRSTが解除されると、チェックカウンタ136は、初期値が「0」にセットされて、次に入力されるFPS検出通知信号の入カタイミングに同期して計数値が「1」に更新される。また、チェックカウンタ136の計数値が「1」になった後は、カウンタ131の計数動作が開始される。デコード132は、カウンタ131の計数値が「1」のときに出力信号S1の論理を「1」にする。一方、入力されるFPS検出通知信号（図11および図12では「FPS」）をDS1受信クロックの1個分遅延させた信号S2がフリップフロップ134から出力され、これら2つの信号S1、S2の論理積に対応する信号G1がアンドゲート133から出力される。したがって、このアンドゲート133からは、最初に入力されるFPS検出通知信号のみに周期的に対応した信号G1が出力され、これをフリップフロップ135でDS1受信クロックの1個分遅延させて生成されるマルチフレーム・タイミング信号MFTがメインカウント部130から出力される。

【0055】また、同期外れ検出部150によって同期外れが検出されて同期外れ検出信号MOUTが出力されると、メインリセット信号MRSTがメインカウント部130に入力されるため、カウンタ131の計数動作が初期状態に戻って、次に最初に入力されるFPS検出通知信号に対応して、上述した一連の同期引き込み動作が最初から繰り返される。

【0056】また、連続CRCエラー判定部180から再同期指示信号E2が入力されると、カウンタ131のプリセット動作が有効になって、このときバッファ137に入力されているサブカウント部140内のカウンタ141の計数値がカウンタ131に取り込まれる。サブ

15

カウンタ部140内のカウンタ141は、2番目に入力されたFPS検出通知信号に同期した計数動作を行っているため、以後、メインカウンタ部130は、サブカウンタ部140の同期位置を取り込んで、この同期位置に対応した新たなマルチフレーム・タイミング信号MFTを出力する。

【0057】なお、以後メインカウンタ部130とサブカウンタ部140は同じ同期位置で動作することになるが、サブカウンタ部140内のクリア信号生成部145によってサブカウンタ部140内のカウンタ141がリセットされる。あるいは、サブカウンタ部140に対応する同期外れ検出部160によって同期外れが検出されると、サブリセット信号SRSTがサブカウンタ部140に入力されてカウンタ141がリセットされる。このようにしてリセットされるとカウンタ141は新たな計数動作を開始し、次に入力されるFPS検出通知信号に対応した同期の引き込み動作を行う。

【0058】このように、本実施形態のフレーム同期回路100は、マルチフレームの複数箇所同期パターンが検出される場合に、最初に検出された同期パターンの検出位置に基づいてメインカウンタ部130によって同期引き込みを行う動作と、次に検出された同期パターンの検出位置に基づいてサブカウンタ部140によって同期引き込みを行う動作とを並行して行っており、メインカウンタ部130によって引き込まれた同期位置が誤りであった場合には、サブカウンタ部140によって引き込まれた同期位置がそのまま取り込まれて新たな同期位置として用いられる。したがって、同期位置の誤りが検出されて再度新たな同期位置が設定されるまでの時間を短縮することができる。

【0059】また、メインカウンタ部130とサブカウンタ部140によるそれぞれの同期位置が一致する場合には、サブカウンタ部140の同期位置をずらすようにしているため、複雑な制御を行うことなく、メインカウンタ部130とサブカウンタ部140のそれぞれにおいて、確実に異なるタイミングで同期引き込みを行うことができる。

【0060】また、サブカウンタ部140による同期位置が誤りであることが分かったときに、次の候補となる同期位置を探しておくことにより、メインカウンタ部130によって引き込まれた同期位置が誤りであった場合に、次に取り込まれる同期位置も誤りである確率が減るため、最終的に同期を確立するまでの時間を短縮することができる。

【0061】また、メインカウンタ部130による同期位置が誤りであることを、連続的なCRCエラーの有無によって検出することにより、同期パターンと同じパターンがフレーム中に現れるような場合の同期位置の誤りを正確に検出することができる。

【0062】また、メインカウンタ部130に再同期マ

16

スク設定信号を入力することにより、連続的なCRCエラーの有無による同期位置の誤り検出を無効にすることができるため、フレーム中に同期パターンと同じデータが存在しないように予め設定されているような場合における誤検出を防止することができる。

【0063】また、メインカウンタ部130によって引き込まれた同期位置が明らかに誤りであることを、同期外れ検出部150によって同期パターンのビットエラーを監視するという簡単な方法で検出することにより、次の同期位置の候補に対する同期引き込み動作に迅速に移行することができるため、正確な同期位置を設定するまでに要する時間を短縮することができる。

【0064】なお、本発明は上記実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、上述した実施形態では、メインカウンタ部130とサブカウンタ部140の2つのフレーム同期手段を用いて2つの同期位置を検出するようにしたが、サブカウンタ部140の数を増やして、第3、第4、…の同期位置を並行して検出するようにしてもよい。この場合には、複数のサブカウンタ部を階層化しておいて、隣接する階層の2つのサブカウンタ部の関係を、上述したメインカウンタ部130とサブカウンタ部140との関係と同じに設定すればよい。すなわち、上位のサブカウンタ部の同期位置と一致しないように下位のサブカウンタ部の同期位置が設定される。また、最上位のサブカウンタ部の同期位置がメインカウンタ部130に取り込まれた場合には、2番目以降のサブカウンタ部の同期位置が順番に1つずつ繰り上がるようにすればよい。

【0065】また、上述した実施形態では、サブカウンタ部140に対応する同期外れ検出部160を設けたが、これを省略するようにしてもよい。この場合には、サブカウンタ部140によって引き込んだ同期位置が明らかに誤りである場合も生じるが、メインカウンタ部130に取り込んだ際にこの誤りが同期外れ検出部150によって検出されるため、速やかに他の同期位置への修正が行われる。また、サブカウンタ部140にCRCエラー検出部170や連続CRCエラー判定部180と同様の構成を追加接続するようにしてもよい。

【0066】

【発明の効果】上述したように、本発明によれば、フレームの複数箇所同期パターンが検出される場合に、検出された同期パターンの検出位置に基づいて同期引き込みを行う動作と、前記同期パターンと異なる検出位置に基づいて同期引き込みを行う動作とを並行して行っており、引き込んだ同期位置が誤りであった場合に、並行して引き込まれた最初の同期位置と異なる同期位置をそのまま取り込んで新たな同期位置として用いることにより、同期を確立するまでに要する時間を短縮することができる。

【0067】また、本発明によれば、フレームに含まれる同期パターン以外の情報に基づいて同期位置の誤りを検出することにより、同期パターンと同じパターンがフレーム中に現れるような場合の同期位置の誤りを正確に検出することができる。

【図面の簡単な説明】

【図1】本発明の原理ブロック図である。

【図2】一実施形態のフレーム同期回路のブロック図である。

【図3】図2に示したフレーム同期回路を備えた各種の装置が含まれる通信システムの一例を示す構成図である。

【図4】DS1マルチフレームの構成を示す図である。

【図5】複数のFPS検出通知信号が検出される場合の信号の出力タイミングを示す図である。

【図6】メインカウント部に対応した同期の状態遷移図である。

【図7】連続CRCエラー判定部による判定結果に関連

するメインカウント部の同期状態の維持動作を示す流れ図である。

【図8】サブカウント部に対応した同期の状態遷移図である。

【図9】メインカウント部の詳細構成図である。

【図10】サブカウント部の詳細構成図である。

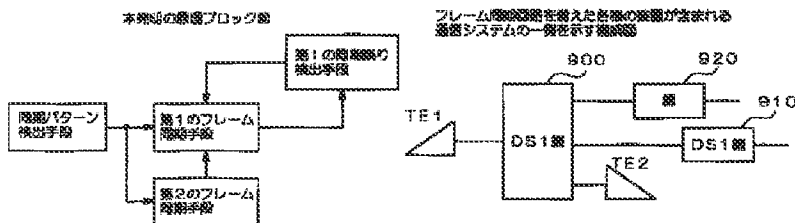
【図11】メインカウント部の動作タイミング図である。

【図12】サブカウント部の動作タイミング図である。

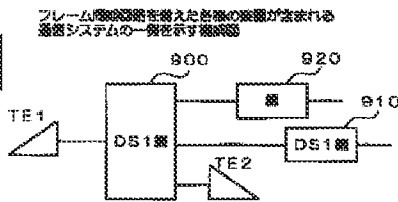
【符号の説明】

100 フレーム同期回路
110 同期パターン検出部
120 同期部
130 メインカウント部
140 サブカウント部
150、160 同期外れ検出部
170 CRCエラー検出部
180 連続CRCエラー判定部

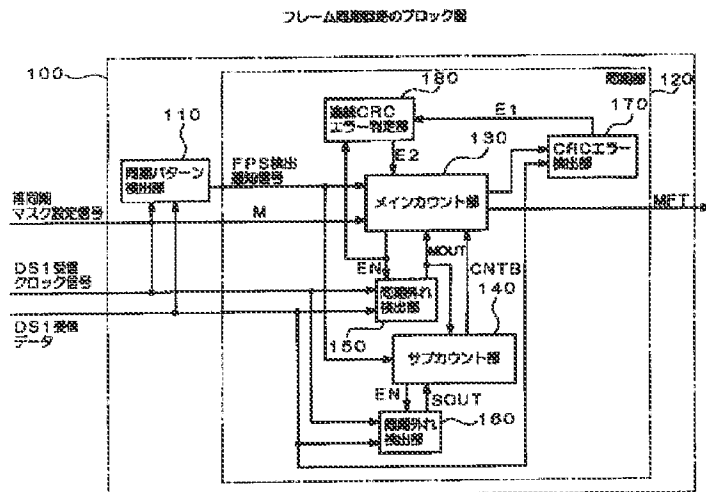
【図1】



【図3】

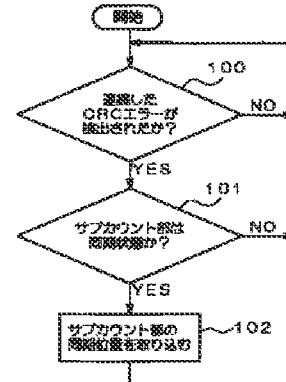


【図2】



【図7】

メインカウント部の同期状態の維持動作を示す流れ図



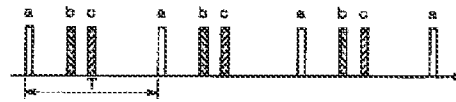
【図4】

DS1マルチフレームの構成図

(フレーム No.)	(ビットNo.)	Fビット (1ビット)	パイロット (192ビット)
0	0 ~ 192	M	
1	193 ~ 385	CRC6	
2	386 ~ 578	M	
3	579 ~ 771	FPS	
4	772 ~ 964	M	
5	965 ~ 1157	CRC6	
6	1158 ~ 1350	M	
7	1351 ~ 1543	FPS	
8	1544 ~ 1736	M	
9	1737 ~ 1929	CRC6	
10	1930 ~ 2122	M	
11	2123 ~ 2315	FPS	
12	2316 ~ 2508	M	
13	2509 ~ 2701	CRC6	
14	2702 ~ 2894	M	
15	2895 ~ 3087	FPS	
16	3088 ~ 3280	M	
17	3281 ~ 3473	CRC6	
18	3474 ~ 3666	M	
19	3667 ~ 3859	FPS	
20	3860 ~ 4052	M	
21	4053 ~ 4245	CRC6	
22	4246 ~ 4438	M	
23	4439 ~ 4631	FPS	

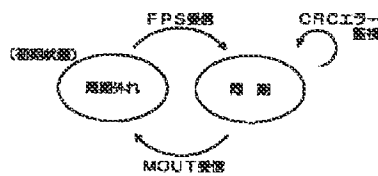
【図5】

FPS抽出遅延時間の出力タイミングを示す図



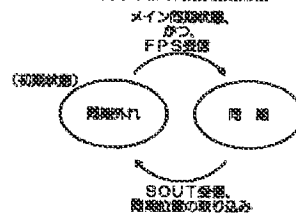
【図6】

メインカウンタ部の状態遷移図



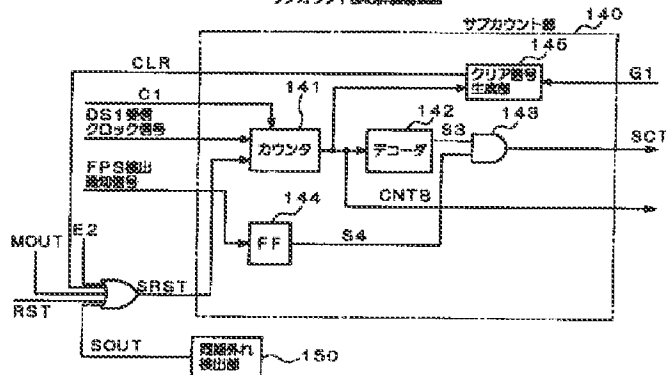
【図8】

サブカウンタ部の状態遷移図

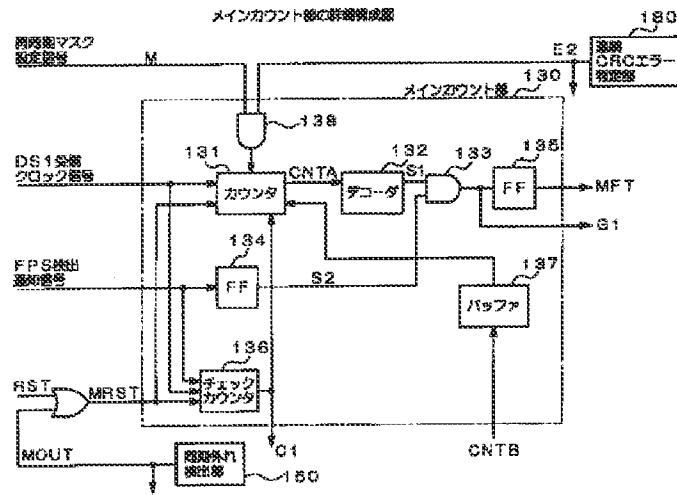


【図10】

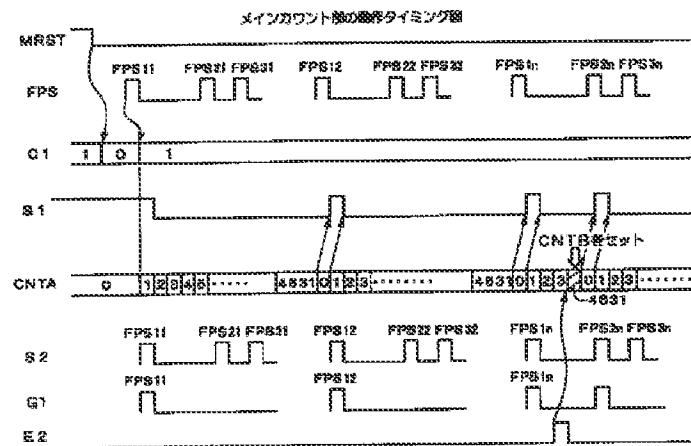
サブカウンタ部の詳細構成図



【図9】



【図11】



【図12】

